

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-009968

(43)Date of publication of application : 16.01.1988

(51)Int.Cl.

H01L 27/14

H01L 21/76

H04N 5/335

(21)Application number : 61-152707

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 01.07.1986

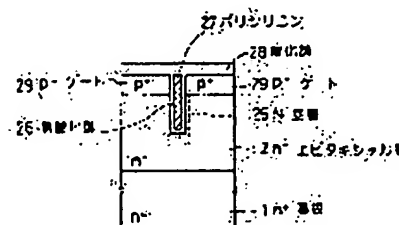
(72)Inventor : OOTA YOSHINORI

(54) ELEMENT ISOLATION OF ELECTROSTATIC INDUCTION TRANSISTOR IMAGE SENSOR

(57)Abstract:

PURPOSE: To invert an Si surface in the bottom of a trench even under any bias conditions, and to form a parasitic channel by increasing the first impurity concentration of a first semiconductor substrate being in contact with the cut trench in the first semiconductor substrate containing a first impurity and isolating an element.

CONSTITUTION: A trench is dug to an Si substrate on which an epitaxial layer 2 is shaped, and an N-type impurity is doped to Si on the inside of the trench by using POCl_3 , phosphorus-doped SiO_2 , arsenic-doped SiO_2 , etc., as an Si surface except the trench is left as it is masked. Si in the trench is insulated by a thin thermal oxide film 26, and the trench is buried with non-doped polysilicon 27. Polysilicon 27 in the trench and the surface of the Si substrate are oxidized to form a thick oxide film 28, and subsequent processes are executed, thus shaping a p+ gate 29. Accordingly, the threshold of a parasitic MOS transistor can be increased, and channels between gates in adjacent elements can be turned OFF at all times even under any bias conditions during the operation of an image sensor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-9968

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)1月16日

H 01 L 27/14
21/76
H 04 N 5/335

A-7525-5F
L-7131-5F
C-8420-5C

審査請求 未請求 発明の数 2 (全7頁)

⑭ 発明の名称 静電誘導トランジスタイメージセンサの素子分離法

⑮ 特 願 昭61-152707

⑯ 出 願 昭61(1986)7月1日

⑰ 発 明 者 太 田 好 紀 東京都渋谷区幡ヶ谷2丁目43番2号 オリンバス光学工業株式会社

⑱ 出 願 人 オリンバス光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

⑲ 代 理 人 弁理士 最上 健治

明細書

1. 発明の名称

静電誘導トランジスタイメージセンサの素子分離法

2. 特許請求の範囲

- (1) 静電誘導トランジスタを光電変換素子として構成されるイメージセンサの第1不純物を含む第1半導体基板に溝を掘り、該溝の内面に絶縁膜を被着しポリシリコンで溝を埋め戻して素子を分離する方法において、前記溝に接する第1半導体基板の第1不純物濃度を高めることを特徴とする静電誘導トランジスタイメージセンサの素子分離法。
- (2) 前記溝の底部に接する第1半導体基板の第1不純物濃度を選択的に高めることを特徴とする特許請求の範囲第1項記載の静電誘導トランジスタイメージセンサの素子分離法。
- (3) 静電誘導トランジスタを光電変換素子として構成されるイメージセンサにおいて、第1不純物を含む第1半導体基板に溝を掘り、該溝の側

面にのみ絶縁膜を被着し、ポリシリコンで溝を埋め戻すことを特徴とする静電誘導トランジスタイメージセンサの素子分離法。

- (4) 前記ポリシリコンは、ノンドープポリシリコンであることを特徴とする特許請求の範囲第3項記載の静電誘導トランジスタイメージセンサの素子分離法。
- (5) 前記ポリシリコンは、第1不純物を含むポリシリコンであることを特徴とする特許請求の範囲第3項記載の静電誘導トランジスタイメージセンサの素子分離法。
- (6) 前記溝の側面にのみ絶縁膜を被着し、該溝の底部の第1半導体基板の第1不純物濃度を高めた後、ノンドープポリシリコンで埋め戻すことを特徴とする特許請求の範囲第3項記載の静電誘導トランジスタイメージセンサの素子分離法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、静電誘導トランジスタ(SIT)を光電変換素子として構成されるイメージセンサの

素子分離法に関する。

(従来の技術)

近年、画像デバイスの固体化は急速に進みつつあり、例えばCCD型、MOS型固体画像素子を用いたビデオカメラが市場に出回っている。固体画像素子の応用分野はホームビデオカメラに限らず、視覚センサとして工業用ロボット、防犯カメラ、天文観測、スチルカメラ等の多方面に広がっている。かかる固体画像素子に対する要求項目の一つに高感度化がある。スチルカメラの実用化、映像の高品質化、ビデオカメラの超小型化に対する強いニーズに応えるためには、画像素子の高感度化が必須の要件になっている。

SITを光電変換素子として用いるラインセンサや固体画像素子は、光電荷を素子内部で増幅できるため、高感度イメージセンサとしての期待が持たれている。第6図はSITイメージセンサが高感度であることに着目して、1つのセル寸法を縮小し、微細なセルで構成したSITイメージセンサのセルの断面を示す図であり、 n^+ 基板1を

光電荷によるゲート電位の増加分が、光信号読み出し期間中に、ポリシリコン7、ゲート酸化膜6、 p^+ ゲート拡散層4からなるゲート容量を介して、 p^+ ゲート拡散層4に加えられるゲートバイアス電圧に加算されるため、ソース拡散層5とドレイン基板1との間には光電荷の蓄積量に対応する大きな出力電流が流れ、光信号が読み出される。

SITイメージセンサのセル構成は、光電変換と増幅作用とが1つのSIT内で行われるため、1つのセル当たり1個のトランジスタでよく、微細化には適している。SITイメージセンサの微細化を行うには、素子分離領域の縮小化が問題であり、この点を解決する手段として、第5図に示すようにトレンチ分離法がとられている。トレンチ分離部3は分離領域に異方性エッチングにより溝を掘り、溝表面を熱酸化膜等の絶縁膜10で絶縁した後、通常ノンドープポリシリコン11で埋め戻し平坦化して形成される。この時の分離幅はシリコン異方性エッチングのマスク幅で決まり、 $1\mu\text{m}$ 程度の分離幅は容易に達成できる。

ドレインとし、その上に成長させた n^+ エピタキシャル層2内にトレンチ分離部3で分離されたSITセルI、II、IIIがアレイ状に配置されている状態を示している。1つのセルは p^+ 拡散層4で形成されるゲート、浅い n^+ 拡散層5で形成されるソース、及びゲート容量を形成するための薄いゲート酸化膜6及び該酸化膜6上に形成されたポリシリコン7、並びにソースを形成する n^+ 拡散層5からコンタクトを取るためのポリシリコン8からなっている。そしてゲート酸化膜6、ソース拡散層5以外のシリコン表面は厚い酸化膜9で覆われている。

このように構成されているSITセルにおける光電変換は、 p^+ ゲート拡散層4、 n^+ エピタキシャル層2、 n^+ ドレイン基板1からなるpinホトダイオードで行われる。光蓄積期間に、このホトダイオードは逆バイアスされ、光入射によって発生する電子は n^+ ソース拡散層5から n^+ ドレイン基板1へ逃げ、ホールは p^+ 浮遊ゲート拡散層4に蓄積され、ゲート電位を上昇する。そして

第6図のSITセルIは、 n^+ 基板1まで到達する深いトレンチ分離部3によってSITセルII、IIIから絶縁される。トレンチ分離部3はボロン拡散に対するストップとしても働くので、トレンチ分離部3を形成してから p^+ ゲート拡散を行えば、 p^+ ゲート拡散層4はトレンチ分離部3のところで止まる。すなわちトレンチ分離部3と p^+ ゲート拡散層4とを直接接合させることができるので、トレンチ分離法はSIT微細化セルの分離法として適しているものである。

(発明が解決しようとする問題点)

トレンチ分離法をSITセル分離に用いる時に、注意すべき点は、アレイ動作において隣接 p^+ ゲートに異なる電圧が加わった時に、両 p^+ ゲート間に寄生チャネルができる可能性があることである。例えば第7図内に示すように、トレンチ分離部15が浅くトレンチ底部16の不純物濃度が低い場合には、隣接ゲート C_1 、 C_2 に異なる電圧、例えばゲート C_2 に電圧 V_{gs} が加わっていると、トレンチ側面17及び底部16のN型シリコン表面が反転

しP型チャネル18を形成し、両ゲートG₁、G₂が導通してしまう可能性がある。

第7図内の等価回路を第7図面に示す。SITのドレイン基板1には、アレイ動作中一定の正電圧V₀が加えられており、分離部15内のポリシリコン19にはゲートG₃の電圧V_{g3}が寄生容量C₁とC₂とに分割されて加わるので、トレンチ内ポリシリコン19の電圧V_{po}は次式で与えられる。

$$V_{po} \cong \frac{C_1}{C_1 + C_2} \cdot V_{g3} \cong \frac{1}{2} V_{g3}$$

トレンチ内ポリシリコン19は通常ノンドープなので非常に大きな抵抗20を持っており、ポリシリコン19の電圧はゲート電圧V_{g3}の変化に瞬時に追従して上式の値になることはないが、隣接ゲートG₁、G₂間に寄生容量C₁、C₂と寄生抵抗20でバイアスされる浮遊寄生MOSトランジスタ21が存在することになり、これは正常なアレイ動作を阻害することになりかねない。

上記第6図と第7図内には、それぞれ極端な例として、トレンチ分離部の底部がn⁺基板1まで

ところが深いトレンチを形成するには異方性エッチングのための厚いマスクが必要であり、更に異方性エッチング処理にも長時間を要するため、プロセスの負担が増すのみならず、異方性エッチングによる損傷がデバイス特性に悪影響を与えることも考えられる。

以上のように、SITイメージセンサのセル間分離を行うためトレンチ分離方式を用いた場合、隣接するセルのp⁺ゲート間に電位差が生ずると、両p⁺ゲートをソース・ドレインとし、トレンチ分離部を浮遊ゲートとする寄生MOSトランジスタがONすることにより、隣接するセルのp⁺ゲート間が導通し、セル分離が阻害されるおそれがある。この寄生MOSトランジスタがONする閾値はトレンチ深さ(トレンチ底部での不純物濃度)、トレンチ下のSiO₂/Si界面での界面単位密度等に依存し、トレンチ深さを深くすれば閾値を高くすることができるが、トレンチ深さを深く形成する場合には、前記の如く種々の問題点が生ずる。

本発明は、従来のSITイメージセンサの素子

連している場合と、トレンチ分離部の底部がエピタキシャル層2内にあり指トレンチ底部16の不純物濃度が十分低い場合を示した。実際のSITイメージセンサのエピタキシャル層の不純物濃度の深さ方向のプロファイルbは、第8図に示すようにプロセス中の熱処理の影響を受けて、n⁺基板から5bがエピタキシャル層界面に向かって拡散するため、エピタキシャル層形成時の不純物濃度プロファイルaとは大きく異なり、徐々に変化している。

このようなエピタキシャル層不純物濃度のプロファイルと動作中のデバイス各部の電圧を考慮して、隣接p⁺ゲート間に寄生チャネルが形成されるのを防ぐのに十分なトレンチ深さを決める必要がある。しかし、トレンチ下のSi表面を反転させるための閾値電圧は、トレンチ下のSiO₂/Si界面単位密度等に依存して不安定であることも考えられ、したがって寄生チャネルの形成を完全に防ぐためには、十分余裕をもって深いトレンチを掘ることで対処せざるを得ない。

分離にトレンチ分離方式を用いた場合における上記問題点を解決するためになされたもので、SITを光電変換素子として構成されるラインセンサあるいは固体画像装置等のイメージセンサにおいて、デバイスの動作中のどのようなバイアス条件下においても、トレンチ底部のSi表面が反転して寄生チャネルが形成されることのないトレンチ分離による素子分離法を提供することを目的とする。

(問題点を解決するための手段及び作用)

上記問題点を解決するため、本願第1発明は、静電誘導トランジスタを光電変換素子として構成されるイメージセンサの第1不純物を含む第1半導体基板に溝を掘り、該溝の内面に絶縁膜を被覆しポリシリコンで溝を埋め戻して素子を分離する方法において、前記溝に接する第1半導体基板の第1不純物濃度を高めて素子を分離するものであり、また第2発明は、静電誘導トランジスタを光電変換素子として構成されるイメージセンサにおいて、第1不純物を含む第1半導体基板に溝を掘り、該溝の側面にのみ絶縁膜を被覆し、ポリシリ

コンで溝を埋め戻して素子を分離するものである。

素子分離法を上記第1発明のように構成することにより、寄生MOSトランジスタの閾値を上げることができるので、イメージセンサの動作中のどのようなバイアス条件下においても、隣接素子のゲート間のチャネルを常時オフにしておくことができ、良好な素子分離を行うことができる。また上記第2発明のように構成することにより、寄生MOSトランジスタを除去して隣接素子のゲート間に寄生チャネルの形成を阻止することができ、良好な素子分離を計ることができる。

(実施例)

以下実施例について説明する。

先に第1図(Ⅳ、Ⅵ)において示した、隣接セルの p^+ ゲート G_1 、 G_2 とトレンチ分離部15で構成される寄生MOSトランジスタのチャネル18を常時オフにしておくには、SITアレイ動作中にトレンチ内ポリシリコン19に容量 C_1 、 C_2 を介して加わる負電圧よりも、寄生MOSトランジスタの閾値を負側に設定しておけばよい。そしてこの寄生

道み、 p^+ ゲート29を形成する。

一方、第2図に示したトレンチ分離構造を作成するには、厚い酸化膜等をマスクにしてSi基板にトレンチを掘り込み、トレンチ内Siを薄い熱酸化膜等31で絶縁した後、リンやヒ素の垂直イオン注入でトレンチ底部のSiにのみ選択的にN型不純物を導入する。この時導入したN型不純物によってトレンチ底部にN型層32が形成される。トレンチはノンドープポリシリコン33によって埋め戻され、トレンチ内ポリシリコン33とSi表面とを厚い酸化膜34で覆い、以後のプロセスに進み、 p^+ ゲート35等を形成する。この構成例ではトレンチ底部にのみ選択的にN型層32が形成されるので、このN型層32と p^+ ゲート35とは直接には接触しない。したがって寄生MOSトランジスタの閾値を大きくとるためにN型層32の濃度を十分高く選んでも、 p^+ ゲート35との耐圧は高くできる。なお、第1図に示した実施例では、N型層25と p^+ ゲート29とが直接接触しているため、N型層25の濃度を高くするには限界がある。

MOSトランジスタはPチャネルなので、寄生MOSトランジスタの閾値を上げるには、トレンチ直下のN型不純物濃度を上げればよいことになる。

第1図は、トレンチ側面及び底部のSi表面付近のN型不純物濃度を上げた本題第1発明の実施例を示す図であり、第2図は、トレンチ底部のSi表面濃度を上げた、他の実施例を示す図である。第1図に示した構成のトレンチ分離構造を作成するには、まず酸化膜等をマスクにして、エピタキシャル層2を形成したSi基板にトレンチを掘り込み、トレンチ以外のSi表面をマスクしたまま、 $POCl_3$ 、リンドーブ SiO_2 、ヒ素ドーブ SiO_2 等を用いてトレンチ内側のSiにN型不純物をドーピングする。第1図において、25はこのドーピングによってN型濃度を上げた部分である。ドーピングの際に形成された PSG 、 $AsSG$ を除去し、薄い熱酸化膜26でトレンチ内Siを絶縁した後、ノンドープポリシリコン27でトレンチを埋め込む。その後、トレンチ内ポリシリコン27及びSi基板表面を酸化して厚い酸化膜28を形成し、次いで以後のプロセスに

先に述べたように、隣接セルの p^+ ゲート間に寄生MOSトランジスタが形成されることによって、両 p^+ ゲート間にチャネルができるものであるから、このチャネルの発生を阻止するには寄生MOSトランジスタを除去してやればよい。第3図(Ⅳ)は、このように構成した本題第2発明の実施例を示す図である。トレンチ側面41は薄い熱酸化膜等の絶縁膜42で絶縁し、トレンチ底部43は基板のSiが露出した状態でトレンチ内にノンドープポリシリコン44を埋め込む。このトレンチ分離構造の等価回路を第3図(Ⅵ)に示す。両 p^+ ゲート G_1 、 G_2 が容量 C_1 、 C_2 を介してノンドープポリシリコン44に接続される。ノンドープポリシリコン44は極めて大きな抵抗 R をもつ導体とみなされるので、この抵抗 R を通してドレイン電圧 V_d に接続される。

この実施例では、トレンチ底部43は、隣接セルの p^+ ゲート間に極めて大きな電位差が存在し、 p^+ ゲート45と n^+ エピタキシャル層2の間の空乏層がトレンチ底部に達することがない限りN型

のままであり、したがって、チャネルは生じない。この時、トレンチ底部43のSi電位はV₁である。第3図Dにおいて46で示した部分がトレンチ底部43のSiに相当する。

ところで、この構成においてトレンチが浅かったり、エピタキシャル層2の不純物濃度が低く容易に空乏化する場合には、p⁺ゲート45とエピタキシャル層2の間でできる空乏層がトレンチ底部43にまで達することがありうる。この時、Si基板2とポリシリコン44の界面付近に存在する単位で発生する過剰な電荷により、大きな暗出力が発生するおそれがあると同時に、この空乏層が隣のセル内に侵入するとスミアの原因になり、極端な場合には隣接セルのp⁺ゲート間にバルクチャネルを形成する可能性も出てくる。

第4図に示す実施例が、この欠点を解決したものである。この実施例は厚い酸化膜をマスクにしてSi基板にトレンチを掘り込み、トレンチ表面を酸化した後、トレンチ底部の酸化膜のみ異方性エッチングで除去し、トレンチ底部にN型不純物を

SiO₂、絶縁膜52とSi57の界面に存在する界面単位を常に電子で埋めておくことができるので、界面単位からの過剰な電荷発生を防ぐことができ、したがって暗出力を小さく抑えるのに有効である。

第4図に示した第2実施例の効果、すなわち、トレンチ底部を常にN型に保つことによって確実に素子分離ができ、またトレンチ内ポリシリコンがn⁺基板と同じ正電位になるのでトレンチ側面のSiを蓄積層とすることができ、更にp⁺ゲートとトレンチ底部のn⁺拡散層との耐圧を高くすることができるという効果を、より確実に引き出すことができるようにした他の実施例を第5図に示す。

この実施例は第5図に示すように、ドーブトポリシリコン61からの拡散によりトレンチ底部にn⁺拡散層52を形成するものであり、トレンチの埋め込みにドーブトポリシリコンを使う以外は、第3図に示した第1実施例と同様の方法で製作される。ドーブトポリシリコン61は、CVD時にリン等のN型不純物を含む膜として堆積されてもよいし、

イオン注入してから、ノンドーブポリシリコンSiで埋め込むものである。この構造ではトレンチ側面は絶縁膜52で保護され、隣接セルのp⁺ゲート53、54が接触することはないし、トレンチ底部56にはN型層55が形成され、p⁺ゲート53あるいは54とn⁺エピタキシャル層2の間でできる空乏層が、トレンチ底部56を空乏化することはない。またこの時のN型層の濃度は十分高く選ぶことができるので、確実に素子分離ができると同時に、p⁺ゲート53、54とN型層55とが直接接触することがないので、両者の接合耐圧は十分高くとることができる。

更に、プロセス中の熱工程を通してN型層55からノンドーブポリシリコンSiへN型不純物が拡散することにより、ポリシリコンSiがドーピングされ、ポリシリコン全体がn⁺基板1と同じ正電位にバイアスされる。

このバイアスによりトレンチ側面のSi57は、p⁺ゲート53、54の電位にあまり影響されずに蓄積層としておくことができる。これはトレンチ側面の

最初にノンドーブポリシリコンとして堆積してから、PocI₃等でN型にドーブしてもよい。このようにドーブトポリシリコン61でトレンチを埋め戻すことにより、ポリシリコンを低抵抗導体とみなすことができると同時に、高濃度N型不純物拡散源として扱うことができる。なお63はp⁺ゲートである。

また第4図に示した第2実施例のイオン注入によってトレンチ底部にn⁺層を形成する方法では、トレンチ形状やイオンの入射角度等によってトレンチ側面にもN型不純物が導入されるおそれがあるので、p⁺ゲート53、54とN型層55、すなわちドレイン基板1との耐圧低下を招く危険性がある。しかし、この第5図に示した第3の実施例では、このような不都合は生じない。

(発明の効果)

以上実施例に基づいて説明したように、本願各発明によれば、高密度S I Tイメージセンサの素子分離を1μm程度の平面寸法で行える溝分離方式において、溝の底部あるいは底部と側面の半導

体基板の表面が、イメージセンサ動作中のいずれのバイアス条件下でも感電型を反転させることがないように構成したので、隣接素子のゲート間に寄生チャネルが形成されることがなくなり、良好な素子分離が得られる。

4. 図面の簡単な説明

第1図は、本願第1発明の一実施例によるSITイメージセンサの概略断面を示す図、第2図は、第1発明の第2実施例によるSITイメージセンサの概略断面を示す図、第3図(A)は、本願第2発明の一実施例によるSITイメージセンサの概略断面を示す図、第3図(B)は、その等価回路を示す図、第4図は、第2発明の第2実施例によるSITイメージセンサの概略断面を示す図、第5図は、第2発明の第3実施例によるSITイメージセンサの概略断面を示す図、第6図は、従来のトレンチ分離方式により形成したSITイメージセンサの概略断面図、第7図(A)は、第6図に示したSITイメージセンサにおける寄生チャネルの形成状態を示す説明図、第7図(B)は、その等価回路を示す図。

す図、第8図は、SITイメージセンサのエピタキシャル層の不純物濃度の深さ方向のプロファイルを示す図である。

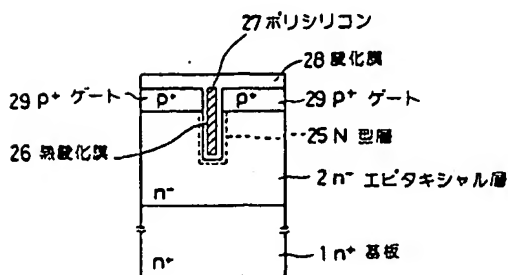
図において、1は n^+ 基板、2は n^- エピタキシャル層、25はN型層、26は熱酸化膜、27はポリシリコン、28は酸化膜、29は p^+ ゲート、31は熱酸化膜、32はN型層、33はポリシリコン、34は酸化膜、35は p^+ ゲート、41はトレンチ側面、42は絶縁膜、43はトレンチ底部、44はノンドープポリシリコン、45は p^+ ゲート、51はノンドープポリシリコン、52は絶縁膜、53、54は p^+ ゲート、55はN型層、56はトレンチ底部、61はドープポリシリコン、62は n^- 拡散層、63は p^+ ゲートを示す。

特許出願人 オリンパス光学工業株式会社

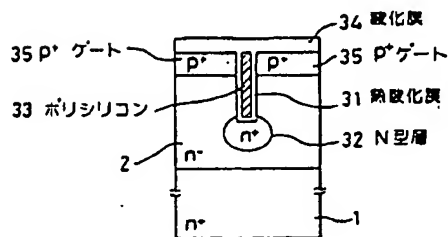
代理人弁理士 最上健治



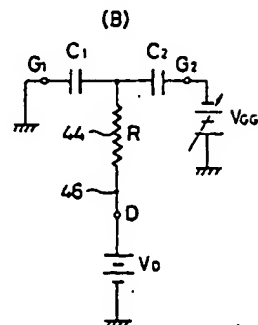
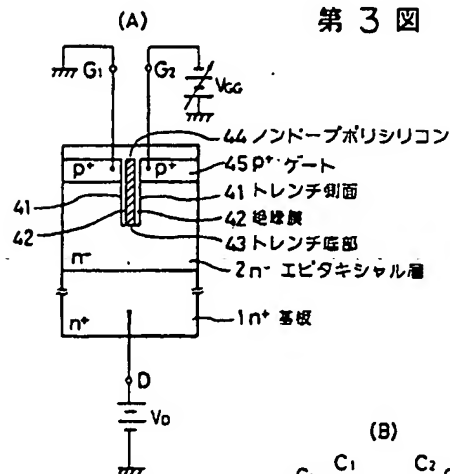
第1図



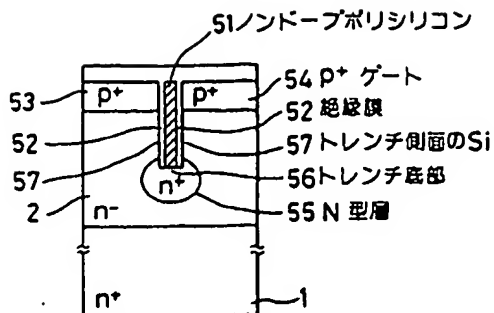
第2図



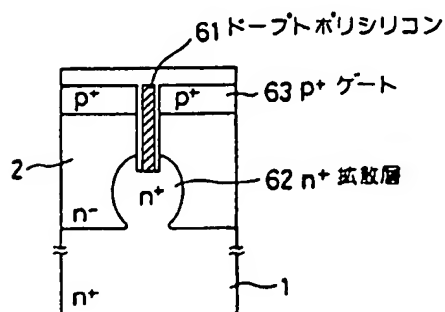
第3図



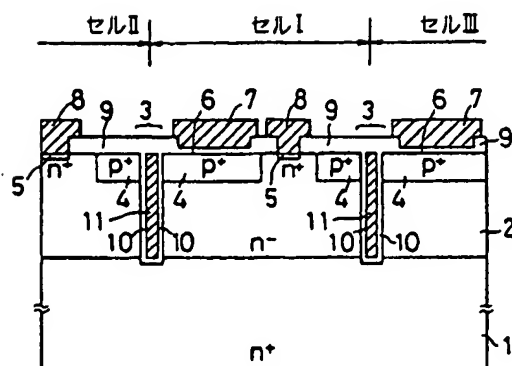
第4図



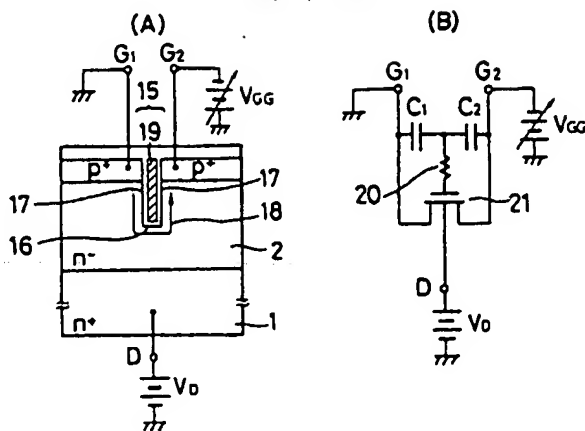
第5図



第6図



第7図



第8図

